



## 【特許請求の範囲】

## 【請求項 1】

被写体の像を撮像し、撮像した被写体の像を撮像信号として出力する撮像手段を有する内視鏡と、前記撮像信号に対して信号処理を行うことにより、前記撮像信号を映像信号として出力する信号処理装置とを有する内視鏡装置であって、

前記内視鏡は、少なくとも前記撮像手段に関する情報を有する所定のデータが書き込まれた記憶手段を有し、

前記信号処理装置は、前記内視鏡と前記信号処理装置とが接続された場合に、前記記憶手段に書き込まれた前記所定のデータに基づいて回路構成が書き換わる、プログラマブル画像処理手段を有することを特徴とする内視鏡装置。

10

## 【請求項 2】

前記所定のデータは、前記撮像手段に関する情報として、少なくとも、前記撮像手段が有する撮像素子の個数に関する情報を有していることを特徴とする請求項 1 に記載の内視鏡装置。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、内視鏡装置に関し、特に、内視鏡から出力される撮像信号に対する処理内容を、所定のデータに基づいて変更可能な内視鏡装置に関するものである。

## 【背景技術】

20

## 【0002】

体腔内に挿入される挿入部を有した内視鏡及び画像処理を行うための画像処理部を有した内視鏡装置は、従来より医療分野等において広く用いられている。特に、医療分野における内視鏡装置は、術者等が被検体としての生体に対する処置を行う際に用いられている。

## 【0003】

前述したような構成を有する内視鏡装置としては、例えば、特許文献 1 において提案されている、記憶素子及び固体撮像素子が設けられた挿入部と、画像処理等を行うシステム制御部が設けられた本体部とを要部として有して構成される内視鏡装置がある。また、特許文献 1 に提案されている内視鏡装置は、挿入部と本体部とが接続された際に、記憶素子が有する各種データを本体部に出力する構成を有すると共に、該各種データに基づき、システム制御部が画像処理を行うことができるような構成を有している。そして、特許文献 1 に提案されている内視鏡装置は、前述したような構成を有することにより、例えば、挿入部に応じた適切な画像を表示するための、前記各種データが有する画像処理用のパラメータに基づく画像処理を本体部において行うことができる。

30

## 【0004】

【特許文献 1】特開平 8 - 238216 号公報

## 【発明の開示】

## 【発明が解決しようとする課題】

## 【0005】

40

特許文献 1 に提案されている内視鏡装置が有する本体部には、例えば、単板式の固体撮像素子を有する挿入部、あるいは 3 板式の固体撮像素子を有する挿入部等、機能及び構成の異なる様々な挿入部が接続され得る。

## 【0006】

そのため、特許文献 1 に提案されている内視鏡装置の本体部は、挿入部が有する機能及び構成に応じた固有の処理である、例えば、Y/C 分離及び画素ずらし等、内容の全く異なる各処理を、所定の回路構成を有するシステム制御部において、挿入部から出力される処理用のパラメータのみに基づき、まとめて行わなければならない状況が生じ得る。

## 【0007】

しかし、実際には、挿入部が有する機能及び構成に応じた内容の全く異なる処理を、シ

50

システム制御部が、処理用のパラメータのみに基づき、まとめてかつ適切に行うことは困難である。そのため、術者等は、特許文献 1 に提案されている内視鏡装置を用いて生体に対する処置を行う事前に、例えば、使用する挿入部が有する機能及び構成に応じた処理を適切に行うことのできる他の本体部への交換、または、本体部が有するシステム制御部のバージョンアップ等の処置を行わなければならない。その結果、特許文献 1 に提案されている内視鏡装置は、生体に対する処置におけるコストの増加及び作業の煩雑さという点において課題を有している。

#### 【0008】

本発明は、前述した点に鑑みてなされたものであり、被検体に対する処置に費やされるコストを従来に比べて低下することが可能であるとともに、被検体に対する処置における作業の煩雑さを軽減することが可能である内視鏡装置を提供することを目的としている。

10

#### 【課題を解決するための手段】

#### 【0009】

本発明における第 1 の内視鏡装置は、被写体の像を撮像し、撮像した被写体の像を撮像信号として出力する撮像手段を有する内視鏡と、前記撮像信号に対して信号処理を行うことにより、前記撮像信号を映像信号として出力する信号処理装置とを有する内視鏡装置であって、前記内視鏡は、少なくとも前記撮像手段に関する情報を有する所定のデータが書き込まれた記憶手段を有し、前記信号処理装置は、前記内視鏡と前記信号処理装置とが接続された場合に、前記記憶手段に書き込まれた前記所定のデータに基づいて回路構成が書き換わる、プログラマブル画像処理手段を有することを特徴とする。

20

#### 【0010】

本発明における第 2 の内視鏡装置は、前記第 1 の内視鏡装置において、前記所定のデータは、前記撮像手段に関する情報として、少なくとも、前記撮像手段が有する撮像素子の個数に関する情報を有していることを特徴とする。

#### 【発明の効果】

#### 【0011】

本発明における内視鏡装置によると、被検体に対する処置に費やされるコストを従来に比べて低下することが可能であるとともに、被検体に対する処置における作業の煩雑さを軽減することが可能である。

#### 【発明を実施するための最良の形態】

30

#### 【0012】

以下、図面を参照して本発明の実施の形態を説明する。図 1 は、本実施形態に係る内視鏡装置における要部の構成の一例を示す図である。図 2 は、本実施形態に係る内視鏡装置のビデオプロセッサが有する F P G A の構成の一例を示す図である。図 3 は、本実施形態に係る内視鏡装置のビデオプロセッサが有する F P G A の構成の、図 2 とは異なる一例を示す図である。図 4 は、本実施形態に係る内視鏡装置のビデオプロセッサが有する F P G A の構成の、図 2 及び図 3 とは異なる一例を示す図である。図 5 は、本実施形態に係る内視鏡装置における要部の構成の、図 1 とは異なる一例を示す図である。図 6 は、本実施形態に係る内視鏡装置のビデオプロセッサが有する F P G A の構成の、図 2、図 3 及び図 4 とは異なる一例を示す図である。図 7 は、本実施形態に係る内視鏡装置における、ビデオプロセッサのメニュー画面の一例を示す図である。図 8 は、本実施形態に係る内視鏡装置における要部の構成の、図 1 及び図 5 とは異なる一例を示す図である。図 9 は、本実施形態に係る内視鏡装置における要部の構成の、図 1、図 5 及び図 8 とは異なる一例を示す図である。

40

#### 【0013】

内視鏡装置 1 は、図 1 に示すように、内視鏡としてのビデオスコープ 2 と、ビデオスコープ 2 に対して着脱自在な構成を有するビデオプロセッサ 3 とを要部として有している。

#### 【0014】

ビデオスコープ 2 は、C C D (電荷結合素子)部 2 1 と、プリプロセス回路 2 2 と、シリアライザ 2 3 及び 2 7 と、ドライバ回路 2 4 及び 2 8 と、ビデオプロセッサ 3 から出力

50

される制御信号に基づき、CCD 21 に対して駆動電圧を供給する CCD ドライバ回路 25 と、記憶回路 26 とを要部として有して構成されている。

【0015】

撮像手段としての CCD 部 21 は、CCD ドライバ回路 25 により供給される駆動電圧に基づいて駆動する、1 または複数の CCD を有して構成され、図示しない対物光学系により結像された被写体の像を撮像すると共に、撮像した被写体の像を撮像信号としてプリプロセス回路 22 に対して出力する。

【0016】

プリプロセス回路 22 は、CCD 21 から出力される撮像信号に対し、増幅及び相関二重サンプリング等の信号処理を行った後、該信号処理を行った後の撮像信号をシリアルライザ 23 に対して出力する。

10

【0017】

シリアルライザ 23 は、プリプロセス回路 22 から出力される撮像信号をシリアル化し、シリアル化した撮像信号をドライバ回路 24 に対して出力する。

【0018】

ドライバ回路 24 は、シリアルライザ 23 によりシリアル化された撮像信号を、ビデオプロセッサ 3 との通信に適した方式の信号としてエンコードし、エンコード後の撮像信号をビデオプロセッサ 3 に対して出力する。

【0019】

記憶手段としての記憶回路 26 は、ビデオスコープ 2 に応じた処理をビデオプロセッサ 3 の FPG A 36 が行うために必要となるデータとしての、例えば、CCD 部 21 に設けられた CCD の数及びビデオスコープ 2 の機種情報等の第 1 の処理用データを有し、ビデオスコープ 2 とビデオプロセッサ 3 とが接続された際に、該第 1 の処理用データをシリアルライザ 27 に対して出力する。

20

【0020】

シリアルライザ 27 は、記憶回路 26 から出力される第 1 の処理用データをシリアル化し、シリアル化した第 1 の処理用データをドライバ回路 28 に対して出力する。

【0021】

ドライバ回路 28 は、シリアルライザ 27 によりシリアル化された第 1 の処理用データを、ビデオプロセッサ 3 との通信に適した方式の信号に変換し、変換後の第 1 の処理用データをビデオプロセッサ 3 に対して出力する。

30

【0022】

ビデオスコープ 2 は、以上に述べたように、ビデオプロセッサ 3 に対して出力される各信号を、シリアルライザ 23 及びシリアルライザ 27 においてシリアル化した状態として出力する。そのため、本実施形態のビデオスコープ 2 は、従来のビデオスコープに比べてビデオプロセッサ 3 との接続用のピン数が少なく済み、その結果、従来のビデオスコープに比べて簡易に製造され得る。

【0023】

信号処理装置としてのビデオプロセッサ 3 は、ビデオスコープ 2 に対して着脱自在な構成を有し、電圧  $V_{cc}$  が印加される抵抗 30 A が設けられた患者回路 3 a と、アイソレーション回路 31 a、31 b 及び 31 c により、患者回路 3 a から電氣的に絶縁された状態として設けられた 2 次回路 3 b とを有して構成されている。また、2 次回路 3 b は、レシーバ回路 32 a 及び 32 b と、デシリアルライザ 33 a 及び 33 b と、記憶回路 34 a 及び 34 b と、CPU (中央処理装置) 35 と、FPGA (Field Programmable Gate Array) 36 と、FPGA 36 において画像処理された撮像信号を一時的に記憶する画像記憶回路 37 と、接続検知回路 38 と、エンコーダ回路 39 とを有して構成されている。

40

【0024】

レシーバ回路 32 a は、ドライバ回路 24 から、アイソレーション回路 31 a を介して出力される撮像信号をデコードし、デコード後の撮像信号をデシリアルライザ 33 a に対し

50

て出力する。

【0025】

デシリアライザ33aは、レシーバ回路32aから出力される撮像信号を平行化し、平行化した撮像信号をFPGA36に対して出力する。

【0026】

レシーバ回路32bは、ドライバ回路28から、アイソレーション回路31bを介して出力される第1の処理用データをデコードし、デコード後の第1の処理用データをデシリアライザ33bに対して出力する。

【0027】

デシリアライザ33bは、レシーバ回路32bから出力される第1の処理用データを平行化し、平行化した第1の処理用データを接続検知回路38に対して出力する。 10

【0028】

記憶回路34bは、ビデオスコープ2とビデオプロセッサ3とが接続されていない状態において、FPGA36が処理を行うために必要となるデータとしての、例えば、カラーバー等のテストパターン画像を生成するための第2の処理用データを有し、該第2の処理用データを接続検知回路38に対して出力する。

【0029】

接続検知回路38は、アイソレーション回路31cを介し、ビデオスコープ2及びビデオプロセッサ3の接続状態に応じて患者回路3aから出力される接続検知信号に基づき、例えば、該接続検知信号がHレベルである場合において、第2の処理用データをFPGA36に対して出力する処理を行う。また、接続検知回路38は、例えば、患者回路3aから出力される接続検知信号がLレベルである場合において、第1の処理用データをFPGA36に対して出力する処理を行う。 20

【0030】

なお、患者回路3aから出力される接続検知信号は、ビデオスコープ2の基準電位点Voと、患者回路3aの抵抗30Aとの導通状態に基づいてレベルが決定する信号である。例えば、ビデオスコープ2とビデオプロセッサ3とが接続されていない状態、すなわち、基準電位点Voと抵抗30Aとが非導通である状態においては、Hレベルの接続検知信号が、患者回路3aから、アイソレーション回路31cを介して接続検知回路38に出力される。また、例えば、ビデオスコープ2とビデオプロセッサ3とが接続されている状態、すなわち、基準電位点Voと抵抗30Aとが導通している状態においては、Lレベルの接続検知信号が、患者回路3aから、アイソレーション回路31cを介して接続検知回路38に出力される。 30

【0031】

記憶回路34aは、例えば、CPU35がビデオプロセッサ3のFPGA36等の各部に対して行う制御内容が書き込まれた第1の制御用データを有し、該第1の制御用データをCPU35に対して出力する。

【0032】

CPU35は、ビデオスコープ2のCCDドライバ回路25に対して制御信号を出力するとともに、ビデオプロセッサ3のFPGA36等の各部に対して制御を行うMPU(超小型処理装置)35aと、MPU35aが行う制御内容として、例えば、記憶回路34aから出力される第1の制御用データに基づく制御内容が書き込まれているRAM(Random Access Memory)35bと、図示しないタイマー等からなる時間計測手段とを有して構成されている。 40

【0033】

プログラマブル画像処理手段としてのFPGA36は、ビデオスコープ2とビデオプロセッサ3とが接続されている状態において、デシリアライザ33aから出力される撮像信号と、接続検知回路38から出力される第1の処理用データとに基づいて後述する画像処理を行い、該画像処理を行った後の撮像信号を画像信号としてエンコーダ回路39に対して出力する。また、FPGA36は、ビデオスコープ2とビデオプロセッサ3とが接続さ 50

れていない状態において、接続検知回路 3 8 から出力される第 2 の処理用データに基づいてテストパターン画像を生成し、生成したテストパターン画像を画像信号としてエンコーダ回路 3 9 に対して出力する。

【 0 0 3 4 】

エンコーダ回路 3 9 は、F P G A 3 6 から出力される画像信号に基づき、被写体の像の画像またはテストパターン画像が図示しないモニタ等の表示装置に表示されるように、該画像信号を映像信号に変換して出力する。

【 0 0 3 5 】

次に、内視鏡装置 1 の作用について説明を行う。

【 0 0 3 6 】

まず、術者は、ビデオプロセッサ 3 の電源を投入することにより、ビデオプロセッサ 3 を起動状態とする。ビデオスコープ 2 が接続されていない状態において、ビデオプロセッサ 3 の患者回路 3 a は、アイソレーション回路 3 1 c を介して H レベルの接続検知信号を出力する。

10

【 0 0 3 7 】

接続検知回路 3 8 は、患者回路 3 a から出力される接続検知信号が H レベルであることに基づき、ビデオスコープ 2 とビデオプロセッサ 3 とが接続されていない状態であることを検知した後、該検知結果に基づき、記憶回路 3 4 b から出力される第 2 の処理用データを F P G A 3 6 に対して出力する処理を行う。

【 0 0 3 8 】

F P G A 3 6 は、接続検知回路 3 8 から出力される第 2 の処理用データに基づき、テストパターン画像を生成すると共に、生成したテストパターン画像を画像信号として出力するための構成を有する回路として機能するように、内部の信号の流れを制御する。

20

【 0 0 3 9 】

エンコーダ回路 3 9 は、F P G A 3 6 から出力される画像信号に基づき、テストパターン画像が図示しないモニタ等の表示装置に表示されるように、該画像信号を映像信号に変換して出力する。

【 0 0 4 0 】

その後、術者は、ビデオプロセッサ 3 にビデオスコープ 2 を接続した後、ビデオスコープ 2 の電源を投入することにより、ビデオスコープ 2 を起動状態とする。ビデオスコープ 2 が接続された状態において、ビデオプロセッサ 3 の患者回路 3 a は、アイソレーション回路 3 1 c を介して L レベルの接続検知信号を出力する。

30

【 0 0 4 1 】

ビデオスコープ 2 が起動状態となると、C P U 3 5 から出力される制御信号に基づいて C C D ドライバ回路 2 5 から供給される駆動電圧により、C C D 部 2 1 が駆動する。

【 0 0 4 2 】

C C D 部 2 1 は、駆動状態において被写体の像を撮像し、撮像した被写体の像を撮像信号としてプリプロセス回路 2 2 に対して出力する。

【 0 0 4 3 】

そして、C C D 部 2 1 から出力された撮像信号は、プリプロセス回路 2 2 により増幅及び相関二重サンプリング等の信号処理が行われ、シリアライザ 2 3 によりシリアル化され、ドライバ回路 2 4 においてエンコードされた後、ビデオプロセッサ 3 に対して出力される。

40

【 0 0 4 4 】

さらに、ドライバ回路 2 4 から出力された撮像信号は、レシーバ回路 3 2 a によりデコードされ、デシリアライザ 3 3 a によりパラレル化された後、F P G A 3 6 に対して出力される。

【 0 0 4 5 】

また、ビデオスコープ 2 がビデオプロセッサ 3 に接続された状態において、記憶回路 2 6 は、第 1 の処理用データをシリアライザ 2 7 に対して出力する。

50

## 【0046】

そして、記憶回路26から出力された第1の処理用データは、シリアルライザ27によりシリアル化され、ドライバ回路28においてエンコードされた後、ビデオプロセッサ3に対して出力される。

## 【0047】

さらに、ドライバ回路28から出力された第1の処理用データは、レシーバ回路32bによりデコードされ、デシリアルライザ33bによりパラレル化された後、接続検知回路38に対して出力される。

## 【0048】

接続検知回路38は、患者回路3aから出力される接続検知信号がLレベルであることに基づき、ビデオスコープ2とビデオプロセッサ3とが接続された状態であることを検知した後、該検知結果に基づき、デシリアルライザ33bから出力される第1の処理用データをFPGA36に対して出力する処理を行う。

10

## 【0049】

FPGA36は、接続検知回路38から出力される第1の処理用データに基づき、例えば、図2に示す構成を有する回路として機能するように、デシリアルライザ33aから出力される撮像信号の流れを制御する。

## 【0050】

FPGA36に入力された撮像信号は、Y/C分離部361aと、画素ずらし部362aとに各々入力される。

20

## 【0051】

Y/C分離部361aに入力された撮像信号は、輝度信号Yと、色差信号CR及びCBとに分離される。そして、輝度信号Yはセクタ部363に入力され、また、色差信号CR及びCBは、ローパスフィルタ部361bにおいて高周波成分が除去された後、セクタ部363に入力される。

## 【0052】

画素ずらし部362aに入力された撮像信号は、色信号R(赤)、G(緑)及びB(青)に分離された後、画素ずらし処理が施されて第1マトリックス部362bに入力される。そして、第1マトリックス部362bに入力された色信号R、G及びBは、マトリックス変換により輝度信号Y、色差信号CR及びCBに変換された後、セクタ部363に入力される。

30

## 【0053】

セクタ部363は、例えば、CCD部21に設けられたCCDが1個であるというデータを第1の処理用データが有していた場合、Y/C分離部361aから出力される輝度信号Yと、ローパスフィルタ部361bから出力される色差信号CR及びCBとを第2マトリックス部364に対して出力する制御を行う。また、セクタ部363は、例えば、CCD部21に設けられたCCDが3個であるというデータを第1の処理用データが有していた場合、第1マトリックス部362bから出力される輝度信号Yと、色差信号CR及びCBとを第2マトリックス部364に対して出力する制御を行う。

## 【0054】

第2マトリックス部364に入力された輝度信号Yと、色差信号CR及びCBとは、マトリックス変換により色信号R、G及びBに変換された後、該色信号R、G及びBを有する画像信号として画質調整部365に入力される。画質調整部365に入力された画像信号は、R、G及びBの輝度及び比率等が変更された後、補正部366に入力される。補正部366に入力された画像信号は、補正処理が施された後、画像拡大/縮小部367に入力される。画像拡大/縮小部367に入力された画像信号は、拡大または縮小処理が施された後、画像強調部368に入力される。画像強調部368に入力された画像信号は、高周波成分の除去及び画像強調処理が施された後、画像重畳部369に入力される。そして、画像重畳部369に入力された画像信号は、マスク及び文字等が重畳された状態として出力される。

40

50

## 【0055】

エンコーダ回路39は、FPGA36の画像重畳部369から出力される画像信号に基づき、被写体の像の画像が図示しないモニタ等の表示装置に表示されるように、該画像信号を映像信号に変換して出力する。

## 【0056】

なお、本実施形態のFPGA36は、接続検知回路38から出力される第1の処理用データに基づいて図2に示す構成を有する回路として機能するものに限らず、例えば、より小型のFPGAに対応した構成を有する回路として機能するものであっても良い。

## 【0057】

具体的には、例えば、FPGA36は、例えば、CCD部21に設けられたCCDが1個であるというデータを第1の処理用データが有していた場合には図3に示す構成を有する回路として機能し、また、CCD部21に設けられたCCDが3個であるというデータを第1の処理用データが有していた場合には図4に示す構成を有する回路として機能するものであっても良い。なお、図3に示す構成を有する回路としてのFPGA36は、図2に示す構成を有する回路としてのFPGA36から、画素ずらし部362aと、第1マトリックス部362bと、セクタ部363とを取り除いた回路と略同様の構成及び作用を有する。また、図4に示す構成を有する回路としてのFPGA36は、図2に示す構成を有する回路としてのFPGA36から、Y/C分離部361aと、ローパスフィルタ部361bと、セクタ部363とを取り除いた回路と略同様の構成及び作用を有する。

## 【0058】

また、前述した内視鏡装置1は、図5に示すような、画像反転及び画像回転の機能に対応したビデオスコープ2Aと、ビデオスコープ2Aに対して着脱自在な構成を有するビデオプロセッサ3Aとを要部として有する内視鏡装置1Aとして構成されるものであっても良い。

## 【0059】

ビデオスコープ2Aの記憶回路26は、画像反転及び画像回転の機能に対応した処理をCPU35がFPGA36に行わせる場合に必要となる制御データとしての、例えば、CCD部21が有するCCDの数及びビデオスコープ2Aの機種情報等である第2の制御用データを有する。

## 【0060】

ビデオスコープ2Aの記憶回路29は、書き換え可能なRAM等により構成され、ビデオスコープ2Aを特定するためのデータとして、例えば、ビデオスコープ2Aの使用時間及び個体番号等からなるIDデータを有する。

## 【0061】

なお、説明の簡単のため、ビデオスコープ2Aは、前述した以外の部分については、ビデオスコープ2と略同様の構成を有するものであるとする。

## 【0062】

ビデオプロセッサ3Aは、前述した構成と略同様の構成を有する患者回路3aと、アイソレーション回路31a、31b及び31cにより、患者回路3aから電氣的に絶縁された状態として設けられた2次回路3cとを有して構成されている。また、2次回路3cは、レシーバ回路32a及び32bと、デシリアライザ33a及び33bと、記憶回路34c及び34dと、CPU35と、FPGA36と、画像記憶回路37と、接続検知回路38aと、エンコーダ回路39とを有して構成されている。

## 【0063】

記憶回路34cは、FPGA36を図2に示す構成を有する回路として機能させるための第3の処理用データを有し、該第3の処理用データをFPGA36に対して出力する。

## 【0064】

記憶回路34dは、ビデオスコープ2とビデオプロセッサ3とが接続されていない状態において、CPU35がFPGA36に行わせる処理に必要なデータとしての、例えば、カラーバー等のテストパターン画像をFPGA36に生成させるための第3の制御用

10

20

30

40

50

データを有し、該第3の制御用データを接続検知回路38に対して出力する。

【0065】

接続検知回路38aは、ビデオスコープ2A及びビデオプロセッサ3Aの接続状態に応じて患者回路3aから出力される接続検知信号に基づき、例えば、該接続検知信号がHレベルである場合において、第3の制御用データをCPU35に対して出力する処理を行う。また、接続検知回路38aは、例えば、患者回路3aから出力される接続検知信号がLレベルである場合において、第2の制御用データをCPU35に対して出力する処理を行う。

【0066】

次に、内視鏡装置1Aの作用について説明を行う。

10

【0067】

まず、術者は、ビデオプロセッサ3Aの電源を投入することにより、ビデオプロセッサ3Aを起動状態とする。ビデオスコープ2Aが接続されていない状態において、ビデオプロセッサ3の患者回路3aは、アイソレーション回路31cを介してHレベルの接続検知信号を出力する。

【0068】

接続検知回路38aは、患者回路3aから出力される接続検知信号がHレベルであることに基づき、ビデオスコープ2Aとビデオプロセッサ3Aとが接続されていない状態であることを検知した後、該検知結果に基づき、記憶回路34dから出力される第3の制御用データをCPU35に対して出力する処理を行う。

20

【0069】

CPU35のRAM35bは、接続検知回路38aから出力される第3の制御用データに基づき、RAM35bの制御内容を書き換える。そして、CPU35のMPU35aは、RAM35bに書き込まれた、第3の制御用データの制御内容に基づき、テストパターン画像をFPGA36に生成させるための制御を行う。

【0070】

FPGA36は、CPU35の制御に基づき、テストパターン画像を生成すると共に、生成したテストパターン画像を画像信号として出力するための構成を有する回路として機能するように、内部の信号の流れを制御する。

【0071】

エンコーダ回路39は、FPGA36から出力される画像信号に基づき、テストパターン画像が図示しないモニタ等の表示装置に表示されるように、該画像信号を映像信号に変換して出力する。

30

【0072】

その後、術者は、ビデオプロセッサ3Aにビデオスコープ2Aを接続した後、ビデオスコープ2Aの電源を投入することにより、ビデオスコープ2Aを起動状態とする。ビデオスコープ2Aが接続された状態において、ビデオプロセッサ3Aの患者回路3aは、アイソレーション回路31cを介してLレベルの接続検知信号を出力する。

【0073】

ビデオスコープ2Aが起動状態となると、CPU35から出力される制御信号に基づいてCCDドライバ回路25から供給される駆動電圧により、CCD部21が駆動する。

40

【0074】

CCD部21は、駆動状態において被写体の像を撮像し、撮像した被写体の像を撮像信号としてプリプロセス回路22に対して出力する。

【0075】

そして、CCD部21から出力された撮像信号は、プリプロセス回路22により増幅及び相関二重サンプリング等の信号処理が行われ、シリアライザ23によりシリアル化され、ドライバ回路24においてエンコードされた後、ビデオプロセッサ3Aに対して出力される。

【0076】

50

さらに、ドライバ回路 2 4 から出力された撮像信号は、レシーバ回路 3 2 a によりデコードされ、デシリアライザ 3 3 a によりパラレル化された後、FPGA 3 6 に対して出力される。

【0077】

また、ビデオスコープ 2 A がビデオプロセッサ 3 A に接続された状態においては、記憶回路 2 6 が第 2 の制御用データをシリアライザ 2 7 に対して出力するとともに、記憶回路 2 9 が ID データを CPU 3 5 に対して出力する。

【0078】

そして、記憶回路 2 6 から出力された第 2 の制御用データは、シリアライザ 2 7 によりシリアル化され、ドライバ回路 2 8 においてエンコードされた後、ビデオプロセッサ 3 A 10 に対して出力される。

【0079】

さらに、ドライバ回路 2 8 から出力された第 2 の制御用データは、レシーバ回路 3 2 b によりデコードされ、デシリアライザ 3 3 b によりパラレル化された後、接続検知回路 3 8 a に対して出力される。

【0080】

接続検知回路 3 8 a は、患者回路 3 a から出力される接続検知信号が L レベルであることに基づき、ビデオスコープ 2 A とビデオプロセッサ 3 A とが接続された状態であることを検知した後、該検知結果に基づき、デシリアライザ 3 3 b から出力される第 2 の制御用データを CPU 3 5 に対して出力する処理を行う。 20

【0081】

CPU 3 5 の RAM 3 5 b は、接続検知回路 3 8 a から出力される第 2 の制御用データに基づき、RAM 3 5 b の制御内容を書き換える。そして、CPU 3 5 の MPU 3 5 a は、RAM 3 5 b に書き込まれた、第 2 の制御用データの制御内容に基づき、ビデオスコープ 2 A に応じた処理として、画像反転及び画像回転の機能に対応した処理を FPGA 3 6 に行わせるための制御を行う。

【0082】

また、CPU 3 5 の MPU 3 5 a は、内蔵された図示しないタイマー等により、ビデオスコープ 2 A とビデオプロセッサ 3 A とが接続された状態における通電時間を計測する。そして、MPU 3 5 a は、前記通電時間を記憶回路 2 9 から出力される ID データに含まれるビデオスコープ 2 A の使用時間に対して加算した時間を通算の使用時間とし、記憶回路 2 9 の ID データの内容を更新する。さらに、MPU 3 5 a は、前記通算の使用時間がビデオプロセッサ 3 A のメニュー画面に表示されるように、FPGA 3 6 に対して時間表示制御信号を出力する。 30

【0083】

FPGA 3 6 は、記憶回路 3 4 c から出力される第 3 の処理用データと、CPU 3 5 の制御とに基づき、内視鏡装置 1 の作用の説明において前述した図 2 に示す構成の回路に対し、例えば、画像拡大/縮小部 3 6 7 の後段に画像回転部 3 6 7 a 及び画像反転部 3 6 7 b が付加された、図 6 に示す構成を有する回路として機能するように、内部の信号の流れを制御する。 40

【0084】

CCD 部 2 1 が有する CCD の数に応じた処理等が FPGA 3 6 の各部において行われた後、画像回転部 3 6 7 a に入力された画像信号は、回転処理が施された後、画像反転部 3 6 7 b に入力される。また、画像反転部 3 6 7 b に入力された画像信号は、反転処理が施された後、画像強調部 3 6 8 に入力される。その後、画像反転部 3 6 7 b から出力された画像信号は、画像強調部 3 6 8 により高周波成分の除去及び画像強調処理が施され、画像重畳部 3 6 9 によりマスク及び文字等が重畳された状態として出力される。

【0085】

なお、FPGA 3 6 の画像重畳部 3 6 9 は、CPU 3 5 から出力される時間表示制御信号に基づき、例えば、図 7 に示すようなビデオプロセッサ 3 A のメニュー画面が表示され 50

た際に、通算の使用時間を示す文字列を画像信号に重畳して出力する。

【0086】

エンコーダ回路39は、FPGA36から出力される画像信号に基づき、被写体の像の画像が図示しないモニタ等の表示装置に表示されるように、該画像信号を映像信号に変換して出力する。

【0087】

さらに、前述した内視鏡装置1及び内視鏡装置1Aは、図8に示すような、画像反転及び画像回転の機能に対応したビデオスコープ2Bと、ビデオスコープ2Bに対して着脱自在な構成を有するビデオプロセッサ3Bとを要部として有する内視鏡装置1Bとして構成されるものであっても良い。

【0088】

ビデオスコープ2Bの記憶回路26は、前述した第1の処理用データと、前述した第2の制御用データとを有する。なお、本実施形態においては、ビデオスコープ2Bは、記憶回路26が第1の処理用データ及び第2の制御用データを有する以外の部分については、説明の簡単のため、前述したビデオスコープ2Aと略同様の構成を有するものであるとする。

【0089】

ビデオプロセッサ3Bは、前述した構成と略同様の構成を有する患者回路3aと、アイソレーション回路31a、31b及び31cにより、患者回路3aから電氣的に絶縁された状態として設けられた2次回路3dとを有して構成されている。また、2次回路3dは、レシーバ回路32a及び32bと、デシリアライザ33a及び33bと、記憶回路34eと、CPU35と、FPGA36と、画像記憶回路37と、接続検知回路38bと、エンコーダ回路39とを有して構成されている。

【0090】

記憶回路34eは、前述した第2の処理用データと、前述した第3の制御用データとを有し、該第2の処理用データ及び第3の制御用データを接続検知回路38に対して出力する。

【0091】

接続検知回路38bは、ビデオスコープ2B及びビデオプロセッサ3Bの接続状態に応じて患者回路3aから出力される接続検知信号に基づき、例えば、該接続検知信号がHレベルである場合において、第2の処理用データをFPGA36に対して出力すると共に、第3の制御用データをCPU35に対して出力する処理を行う。また、接続検知回路38aは、例えば、患者回路3aから出力される接続検知信号がLレベルである場合において、第1の処理用データをFPGA36に対して出力すると共に、第2の制御用データをCPU35に対して出力する処理を行う。

【0092】

次に、内視鏡装置1Bの作用について説明を行う。

【0093】

まず、術者は、ビデオプロセッサ3Bの電源を投入することにより、ビデオプロセッサ3Bを起動状態とする。ビデオスコープ2Bが接続されていない状態において、ビデオプロセッサ3の患者回路3aは、アイソレーション回路31cを介してHレベルの接続検知信号を出力する。

【0094】

接続検知回路38bは、患者回路3aから出力される接続検知信号がHレベルであることに基づき、ビデオスコープ2Bとビデオプロセッサ3Bとが接続されていない状態であることを検知した後、該検知結果に基づき、記憶回路34eから出力される、第2の処理用データをFPGA36に対して出力すると共に、第3の制御用データをCPU35に対して出力する処理を行う。

【0095】

CPU35のRAM35bは、接続検知回路38bから出力される第3の制御用データ

10

20

30

40

50

に基づき、RAM 35 bの制御内容を書き換える。そして、CPU 35のMPU 35 aは、RAM 35 bに書き込まれた、第3の制御用データの制御内容に基づき、テストパターン画像をFPGA 36に生成させるための制御を行う。

【0096】

FPGA 36は、接続検知回路38 bから出力される第2の処理用データと、CPU 35の制御とに基づき、テストパターン画像を生成すると共に、生成したテストパターン画像を画像信号として出力するための構成を有する回路として機能するように、内部の信号の流れを制御する。

【0097】

エンコーダ回路39は、FPGA 36から出力される画像信号に基づき、テストパターン画像が図示しないモニタ等の表示装置に表示されるように、該画像信号を映像信号に変換して出力する。

10

【0098】

その後、術者は、ビデオプロセッサ3 Bにビデオスコープ2 Bを接続した後、ビデオスコープ2 Bの電源を投入することにより、ビデオスコープ2 Bを起動状態とする。ビデオスコープ2 Bが接続された状態において、ビデオプロセッサ3 Bの患者回路3 aは、アイソレーション回路31 cを介してLレベルの接続検知信号を出力する。

【0099】

ビデオスコープ2 Bが起動状態となると、CPU 35から出力される制御信号に基づいてCCDドライバ回路25から供給される駆動電圧により、CCD部21が駆動する。

20

【0100】

CCD部21は、駆動状態において被写体の像を撮像し、撮像した被写体の像を撮像信号としてプリプロセス回路22に対して出力する。

【0101】

そして、CCD部21から出力された撮像信号は、プリプロセス回路22により増幅及び相関二重サンプリング等の信号処理が行われ、シリアライザ23によりシリアル化され、ドライバ回路24においてエンコードされた後、ビデオプロセッサ3 Bに対して出力される。

【0102】

さらに、ドライバ回路24から出力された撮像信号は、レシーバ回路32 aによりデコードされ、デシリアライザ33 aによりパラレル化された後、FPGA 36に対して出力される。

30

【0103】

また、ビデオスコープ2 Bがビデオプロセッサ3 Bに接続された状態において、記憶回路26は、第1の処理用データ及び第2の制御用データをシリアライザ27に対して出力する。

【0104】

そして、記憶回路26から出力された第1の処理用データ及び第2の制御用データは、シリアライザ27によりシリアル化され、ドライバ回路28においてエンコードされた後、ビデオプロセッサ3 Bに対して出力される。

40

【0105】

さらに、ドライバ回路28から出力された第1の処理用データ及び第2の制御用データは、レシーバ回路32 bによりデコードされ、デシリアライザ33 bによりパラレル化された後、接続検知回路38 bに対して出力される。

【0106】

接続検知回路38 bは、患者回路3 aから出力される接続検知信号がLレベルであることに基づき、ビデオスコープ2 Bとビデオプロセッサ3 Bとが接続された状態であることを検知した後、該検知結果に基づき、デシリアライザ33 bから出力される第1の処理用データをFPGA 36に対して出力すると共に、第2の制御用データをCPU 35に対して出力する処理を行う。

50

## 【0107】

CPU35のRAM35bは、接続検知回路38bから出力される第2の制御用データに基づき、RAM35bの制御内容を書き換える。そして、CPU35のMPU35aは、RAM35bに書き込まれた、第2の制御用データの制御内容に基づき、ビデオスコープ2Bに応じた処理として、画像反転及び画像回転の機能に対応した処理をFPGA36に行わせるための制御を行う。

## 【0108】

また、CPU35のMPU35aは、図示しないタイマー等からなる時間計測手段により、ビデオスコープ2Aとビデオプロセッサ3Aとが接続された状態における通電時間を計測する。そして、MPU35aは、前記通電時間を記憶回路29から出力されるIDデータに含まれるビデオスコープ2Aの使用時間に対して加算した時間を通算の使用時間とし、記憶回路29のIDデータの内容を更新する。さらに、MPU35aは、前記通算の使用時間がビデオプロセッサ3Aのメニュー画面に表示されるように、FPGA36に対して時間表示制御信号を出力する。

10

## 【0109】

FPGA36は、接続検知回路38bから出力される第1の処理用データと、CPU35の制御とに基づき、前述した図6に示す構成を有する回路として機能するように、内部の信号の流れを制御する。そして、このような状態において、FPGA36は、デシリアライザ33aから出力される撮像信号に対して前述した画像処理を行い、該画像処理を行った後の撮像信号を画像信号としてエンコーダ回路39に対して出力する。

20

## 【0110】

なお、FPGA36の画像重畳部369は、CPU35から出力される時間表示制御信号に基づき、例えば、図7に示すようなビデオプロセッサ3Bのメニュー画面が表示された際に、通算の使用時間を示す文字列を画像信号に重畳して出力する。

## 【0111】

エンコーダ回路39は、FPGA36から出力される画像信号に基づき、被写体の像の画像が図示しないモニタ等の表示装置に表示されるように、該画像信号を映像信号に変換して出力する。

## 【0112】

なお、内視鏡装置1BにおけるFPGA36は、図9に示すように、CPU35を内蔵したFPGA36aとして構成されるものであっても良い。

30

## 【0113】

以上に述べたように、本実施形態の内視鏡装置1、内視鏡装置1A及び内視鏡装置1Bは、接続されるビデオスコープが有する記憶回路に書き込まれたデータに基づいて機能及び回路構成を自在に変更可能なFPGAをビデオプロセッサが有することにより、該ビデオスコープが有する機能及び構成に応じた適切な処理を該ビデオプロセッサに行わせることを可能としている。そのため、術者等は、本実施形態の内視鏡装置1、内視鏡装置1A及び内視鏡装置1Bを用いた場合、各々の内視鏡装置が有するビデオプロセッサ以外の、他のビデオプロセッサを用いることなく、被検体としての生体に対する処置を行うことができ、その結果、被検体に対する処置に費やされるコストを、従来に比べて低下させることができる。

40

## 【0114】

また、前述したように、本実施形態の内視鏡装置1、内視鏡装置1A及び内視鏡装置1Bは、ビデオスコープ自身が有する機能に関するデータが該ビデオスコープに設けられた記憶回路に予め書き込まれているとともに、該ビデオスコープをビデオプロセッサに接続する処置のみにより、該ビデオスコープが有する機能に応じた処理を該ビデオプロセッサに行わせることができる、という構成を有している。そのため、術者等は、本実施形態の内視鏡装置1、内視鏡装置1A及び内視鏡装置1Bを用いて生体に対する処置を行う場合、例えば、使用するビデオスコープが新しい付加機能を有していたとしても、ビデオプロセッサのバージョンアップを事前に行う等の処置を行う必要がない。その結果、本実施形

50

態の内視鏡装置 1、内視鏡装置 1 A 及び内視鏡装置 1 B は、被検体としての生体に対する処置における作業の煩雑さを軽減することが可能である。

【0115】

なお、本実施形態の内視鏡装置 1、内視鏡装置 1 A 及び内視鏡装置 1 B においては、発明の要旨を逸脱しない範囲において、その構成を種々変更することができる。

【図面の簡単な説明】

【0116】

【図 1】本実施形態に係る内視鏡装置における要部の構成の一例を示す図。

【図 2】本実施形態に係る内視鏡装置のビデオプロセッサが有する F P G A の構成の一例を示す図。

10

【図 3】本実施形態に係る内視鏡装置のビデオプロセッサが有する F P G A の構成の、図 2 とは異なる一例を示す図。

【図 4】本実施形態に係る内視鏡装置のビデオプロセッサが有する F P G A の構成の、図 2 及び図 3 とは異なる一例を示す図。

【図 5】本実施形態に係る内視鏡装置における要部の構成の、図 1 とは異なる一例を示す図。

【図 6】本実施形態に係る内視鏡装置のビデオプロセッサが有する F P G A の構成の、図 2、図 3 及び図 4 とは異なる一例を示す図。

【図 7】本実施形態に係る内視鏡装置における、ビデオプロセッサのメニュー画面の一例を示す図。

20

【図 8】本実施形態に係る内視鏡装置における要部の構成の、図 1 及び図 5 とは異なる一例を示す図。

【図 9】本実施形態に係る内視鏡装置における要部の構成の、図 1、図 5 及び図 8 とは異なる一例を示す図。

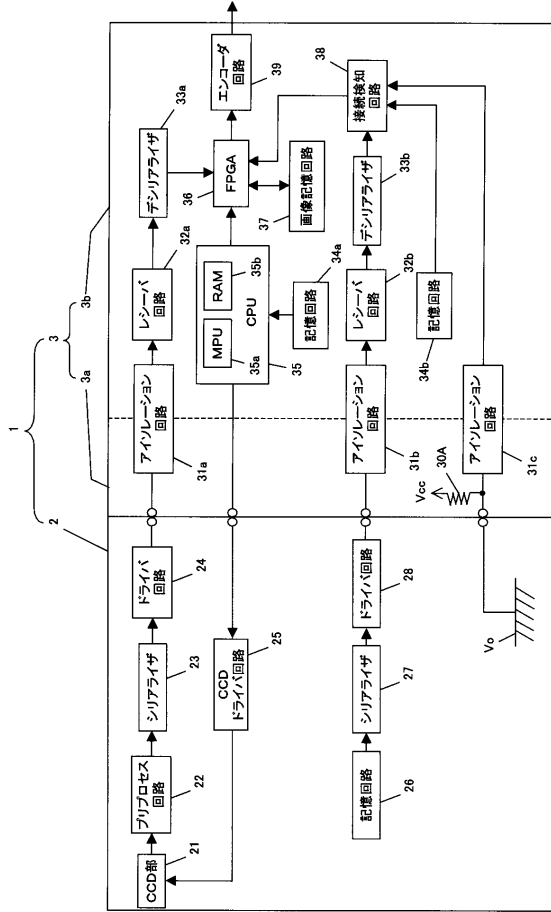
【符号の説明】

【0117】

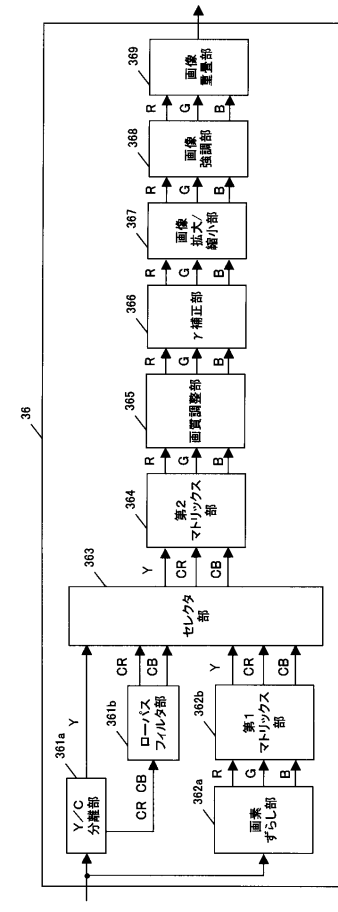
1, 1 A, 1 B・・・内視鏡装置、2, 2 A, 2 B・・・ビデオスコープ、3, 3 A, 3 B・・・ビデオプロセッサ、3 a・・・患者回路、3 b, 3 c, 3 d・・・2 次回路、2 1・・・CCD 部、2 2・・・プリプロセス回路、2 3, 2 7・・・シリアライザ、2 4, 2 8・・・ドライバ回路、2 5・・・CCD ドライバ回路、2 6, 2 9, 3 4 a, 3 4 b, 3 4 c, 3 4 d, 3 4 e・・・記憶回路、3 0 A・・・抵抗、3 1 a, 3 1 b, 3 1 c・・・アイソレーション回路、3 2 a, 3 2 b・・・レシーバ回路、3 3 a, 3 3 b・・・デシリアライザ、3 6, 3 6 a・・・F P G A、3 7・・・画像記憶回路、3 8, 3 8 a, 3 8 b・・・接続検知回路、3 9・・・エンコーダ回路、3 6 1 a・・・Y / C 分離部、3 6 1 b・・・ローパスフィルタ部、3 6 2 a・・・画素ずらし部、3 6 2 b・・・第 1 マトリックス部、3 6 3・・・セレクトア部、3 6 4・・・第 2 マトリックス部、3 6 5・・・画質調整部、3 6 6・・・補正部、3 6 7・・・画像拡大 / 縮小部、3 6 7 a・・・画像回転部、3 6 7 b・・・画像反転部、3 6 8・・・画像強調部、3 6 9・・・画像重畳部

30

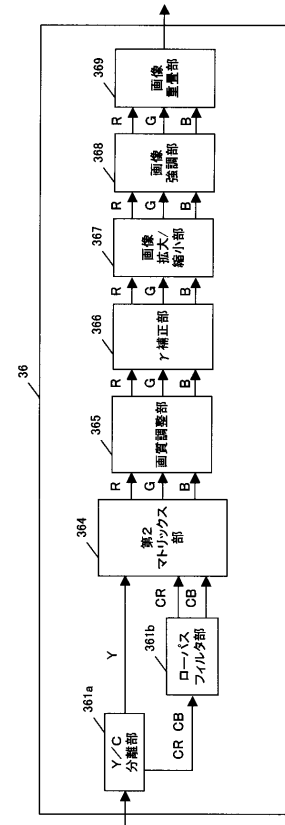
【図1】



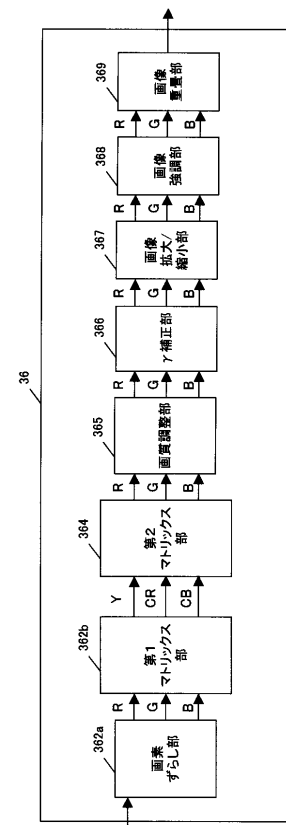
【図2】



【図3】



【図4】







专利名称(译)	内窥镜装置		
公开(公告)号	<a href="#">JP2007229305A</a>	公开(公告)日	2007-09-13
申请号	JP2006056578	申请日	2006-03-02
[标]申请(专利权)人(译)	奥林巴斯医疗株式会社		
申请(专利权)人(译)	オリンパスメディカルシステムズ株式会社		
[标]发明人	須藤賢		
发明人	須藤 賢		
IPC分类号	A61B1/04		
FI分类号	A61B1/04.370 A61B1/00.640 A61B1/04 A61B1/04.510		
F-TERM分类号	4C061/AA00 4C061/BB00 4C061/CC06 4C061/DD00 4C061/JJ12 4C061/JJ18 4C061/LL02 4C061/MM02 4C061/NN01 4C061/NN05 4C061/NN07 4C061/NN09 4C061/SS03 4C061/SS07 4C061/SS11 4C061/SS21 4C061/TT02 4C061/TT03 4C061/TT12 4C061/WW03 4C061/WW04 4C061/WW06 4C061/YY14 4C161/AA00 4C161/BB00 4C161/CC06 4C161/DD00 4C161/JJ12 4C161/JJ18 4C161/LL02 4C161/MM02 4C161/NN01 4C161/NN05 4C161/NN07 4C161/NN09 4C161/SS03 4C161/SS07 4C161/SS11 4C161/SS21 4C161/TT02 4C161/TT03 4C161/TT12 4C161/WW03 4C161/WW04 4C161/WW06 4C161/YY14		
代理人(译)	伊藤 进		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

要解决的问题：提供一种内窥镜装置，与常规情况相比，能够降低对受试者的治疗费用并减少对受试者的治疗中的麻烦工作。根据本发明的内窥镜设备包括内窥镜，该内窥镜具有用于拾取对象的图像并输出所拾取的对象的图像作为图像拾取信号的图像拾取装置，以及对图像拾取信号的信号处理。以及一种用于输出图像拾取信号作为视频信号的信号处理装置，其中内窥镜包括存储装置，其中至少具有关于成像装置的信息的预定数据被写入其中，信号处理装置包括可编程图像处理装置，用于当内窥镜和信号处理装置彼此连接时，基于写入存储装置中的预定数据重写电路配置。有。点域1

